

Docket No.: 67161-054

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Taichi HIROKAWA, et al. :
Serial No.: : Group Art Unit:
Filed: June 24, 2003 : Examiner:
For: SEMICONDUCTOR DEVICE HAVING CAPACITOR

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-308592(P), filed October 23, 2002,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
Date: June 24, 2003

日本国特許庁
JAPAN PATENT OFFICE

67161-054
Taichi Hirokawa,
et.al.
June 24, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2002年10月23日

出願番号
Application Number:

特願2002-308592

[ST.10/C]:

[JP2002-308592]

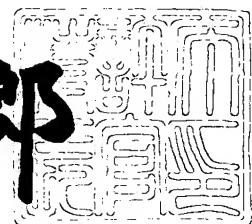
出願人
Applicant(s):

三菱電機株式会社

2002年11月29日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3094428

【書類名】 特許願

【整理番号】 539948JP01

【提出日】 平成14年10月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

H01L 27/10 311

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシステムエンジニアリング株式会社内

【氏名】 広川 太一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 松村 明

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャパシタを有する半導体装置

【特許請求の範囲】

【請求項1】 互いに絶縁された1対の電極を含むキャパシタを有する半導体装置であって、

第1の導電層と、

前記第1の導電層上に形成され、前記第1の導電層に達する孔を有する絶縁層とを備え、

前記孔は互いに径の異なる第1の部分と第2の部分とを有し、前記第1の部分と前記第2の部分との境界において前記孔の径が不連続に変化しており、さらに

前記孔の内壁面に沿って形成され、かつ前記第1の導電層に電気的に接続された前記キャパシタの一方電極を備えた、キャパシタを有する半導体装置。

【請求項2】 前記絶縁層は、第1の絶縁層と、前記第1の絶縁層上に形成された第2の絶縁層とを有し、

前記孔の前記第1の部分は前記第1の絶縁層に形成されており、

前記孔の前記第2の部分は前記第2の絶縁層に形成されており、かつ前記第1の部分よりも大きな径を有している、請求項1に記載のキャパシタを有する半導体装置。

【請求項3】 前記第1の導電層と前記一方電極との間に位置して、かつ前記第1の導電層と前記一方電極との双方に電気的に接続された第2の導電層をさらに備えることを特徴とする、請求項1または2に記載のキャパシタを有する半導体装置。

【請求項4】 前記第1の導電層は、前記孔に通じる凹部を有しており、前記一方電極は前記凹部の内壁面に沿って形成されていることを特徴とする、請求項1または2に記載のキャパシタを有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャパシタを有する半導体装置に関し、より特定的には、互いに絶縁された1対の電極を含むキャパシタを有する半導体装置に関する。

【0002】

【従来の技術】

ダイナミック・ランダム・アクセス・メモリ (DRAM) の高集積化は、素子寸法の微細化により達成されてきた。しかし、この高集積化・微細化に伴いS/N (Storage Node) も縮小し、キャパシタ容量を維持することが困難になってきた。容量が小さいと読み出しえラーやソフトエラーのような不具合が起こるという問題があった。ここで、読み出しえラーとはS/N (Signal to Noise) 比の低下により起こる読み違えのことであり、ソフトエラーとは、放射性同位元素から放出される α 線に起因して不特定な1ビットが反転するという現象である。

【0003】

DRAMのメモリセルは、たとえば特開平8-288475号公報（特許文献1）の図1に示されている。上記公報の図を参照して、半導体単結晶基板上にはトランジスタが設けられていて、半導体単結晶基板およびトランジスタを覆うように層間絶縁膜が積層されている。層間絶縁膜には、トランジスタの拡散層に達するコンタクト孔が形成されている。このコンタクト孔を介して、キャパシタ下部電極が拡散層に電気的に導通されており、このキャパシタ下部電極上にキャパシタ絶縁膜とセルプレートとが積層して形成されている。また、特開平9-307080号公報（特許文献2）にもDRAMのメモリセル構成が開示されている。

【0004】

【特許文献1】

特開平8-288475号公報

【0005】

【特許文献2】

特開平9-307080号公報

【0006】

【発明が解決しようとする課題】

しかしながら、上記2つの公報のDRAMのメモリセルの構成では、トランジスタの拡散層とキャパシタ下部電極とが直接接している。キャパシタ容量をできるだけ大きくするために、キャパシタ下部電極はコンタクト孔内でもキャパシタ上部電極と対向して形成されるので、なるべく薄く形成される。しかしキャパシタ下部電極の厚さが薄くなると、コンタクト孔の底部においてキャパシタ下部電極に途切れ（膜切れ）などが生じ、トランジスタの拡散層とキャパシタ下部電極との電気的な接続が不安定となることがあった。

【0007】

したがって、トランジスタとキャパシタ下部電極との電気的な接続を確保するために、トランジスタとキャパシタ下部電極との間に他の導電層が形成されることがある。しかし、この構成によれば、コンタクト孔が他の導電層の分だけ浅くなるので、キャパシタの下部電極と上部電極との対向面積が小さくなりキャパシタ容量が不充分となる。このため、素子の微細化とともにキャパシタ容量を維持することが困難となり、読み出しエラーやソフトエラーのような不具合が起こるという問題があった。

【0008】

したがって本発明の目的は、キャパシタ下部電極（ストレージノード）の電気的な接続を安定して確保しつつ、キャパシタ容量を増加させることができるキャパシタを有する半導体装置を提供することである。

【0009】

【課題を解決するための手段】

本発明のキャパシタを有する半導体装置は、互いに絶縁された1対の電極を含むキャパシタを有する半導体装置であって、第1の導電層と、第1の導電層上に形成され、第1の導電層に達する孔を有する絶縁層とを備えている。孔は互いに径の異なる第1の部分と第2の部分とを有し、第1の部分と第2の部分との境界において孔の径が不連続に変化している。さらに本発明のキャパシタを有する半導体装置は、孔の内壁面に沿って形成され、かつ第1の導電層に電気的に接続されたキャパシタの一方電極を備えている。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態1)

図1 (a) は本発明の実施の形態1におけるキャパシタを有する半導体装置の構成を概略的に示す断面図である。

【0011】

図1 (a) を参照して、キャパシタを有する半導体装置として、たとえばDRAMメモリセルの構成が示されている。フィールド酸化膜9により電気的に分離されたシリコン基板1の表面には、MOS (Metal Oxide Semiconductor) トランジスタ7が形成されている。

【0012】

このMOSトランジスタ7は1対のソース／ドレイン領域7a、7bと、ゲート絶縁層7cと、ゲート電極層7dとを有している。1対のソース／ドレイン領域7a、7bは、LDD (Lightly Doped Drain) 構造を有しており、互いに所定の距離を隔てて配置されている。ゲート電極層7dは1対のソース／ドレイン領域7a、7bに挟まれる領域上にゲート絶縁層7cを介して形成されている。ゲート絶縁層7cは、たとえばシリコン酸化膜よりなっている。ゲート電極層7dは、たとえば不純物が導入された多結晶シリコン層（以下、ドープトポリシリコン層と称する）からなっている。

【0013】

ゲート電極層7dの周囲はたとえばシリコン酸化膜よりなる絶縁層7e、7fにより覆われている。1対のソース／ドレイン領域の一方7aにはパッド層11が形成されていている。MOSトランジスタ7およびパッド層11を覆うように層間絶縁層2が形成されている。層間絶縁層2は、たとえばBPTEOS (Boro Phospho Tetra Ethyl Ortho Silicate) よりなる。BPTEOSとはTEOS (Tetra Ethyl Ortho Silicate) を原料としてB（ボロン）、P（リン）を有するように形成されたシリコン酸化膜である。この層間絶縁層2には1対のソース／ドレイン領域の他方7bに達する孔2aおよびパッド層11に達する孔2bが開口されている。そして、孔2aおよび2bの各々には導電層13および15の

各々が埋め込まれており、これらの導電層13および15の各々はたとえばドープトポリシリコン層よりなっている。層間絶縁層2上にはビット線17が形成されていて、ビット線17は導電層15およびパッド層11を介してMOSトランジスタ7の1対のソース／ドレインの一方7aと電気的に接続されている。

【0014】

層間絶縁層2およびビット線17上には、たとえばBPTEOSよりなる層間絶縁層3と、たとえば Si_3N_4 よりなる層間絶縁層4と、たとえばBPTEOSよりなる層間絶縁層5とが積層されている。これらの層間絶縁層3～5には、導電層13に達する孔が形成されている。この孔は、層間絶縁層3に形成された部分3aと、層間絶縁層4に形成された部分4aと、層間絶縁層5に形成された部分5aとを有している。孔3a、4a、5aのうち、孔の部分4a、5aと孔の部分3aとは互いに径が異なり、孔の部分4a、5aは孔の部分3aよりも大きな径を有していて、孔の部分3aと孔の部分4a、5aとの境界において孔の径が不連続に変化している。孔の部分3aの側壁面はたとえば Si_3N_4 よりなる絶縁層3bで覆われている。

【0015】

キャパシタ19は、キャパシタ誘電体層19bにより互いに絶縁された1対の電極であるストレージノード19a（キャパシタの一方電極）とセルプレート19c（キャパシタの他方電極）とを含んでいる。キャパシタ19の一方電極であるストレージノード19aは、孔3a、4a、5aの内壁面に沿って形成されていて、導電層13に電気的に接続されている。ストレージノード19a上には、キャパシタ誘電体層19bと、セルプレート19cとが積層されている。ストレージノード19aはたとえば不純物が導入されたアモルファスシリコン（以下、ドープトアモルファスシリコンと称する）よりなる。キャパシタ誘電体層19bはたとえば Ta_2O_5 よりなる。セルプレート19cはたとえばTiNよりなる。

【0016】

次に本実施の形態の製造方法について説明する。

なお、本実施の形態においては、図1（a）の点線で囲まれた領域30についてのみ製造方法の説明を行なう。

【0017】

図2～図8は本発明の実施の形態1におけるキャパシタの製造方法を工程順に示す概略断面図である。

【0018】

図2を参照して、シリコン基板1の表面にはMOSトランジスタ7が以下のように形成される。すなわち、シリコン基板1の表面には、たとえばシリコン酸化膜よりなるゲート絶縁層7cが形成され、このゲート絶縁層7c上にゲート電極層7dおよび絶縁層7fが形成された後、通常の写真製版技術およびエッチング技術によりパターニングされる。ゲート電極層7dなどをマスクとしてシリコン基板1へ不純物が注入されることにより、比較的低濃度の不純物領域7bが形成される。

【0019】

ゲート電極層7dの側壁を覆うように、たとえばシリコン酸化膜よりなるサイドウォールスペーサー状の絶縁層7eが形成される。この後、ゲート電極層7dおよび絶縁層7eなどをマスクとしてシリコン基板1上に不純物を注入することにより、比較的高濃度の不純物領域7bが形成される。この比較的高濃度の不純物領域と前述の比較的低濃度の不純物領域とにより、LDD構造をなすソース／ドレイン領域7a、7bが形成される。以上のようにしてMOSトランジスタ7が形成される。

【0020】

このようにして形成されたMOSトランジスタ7を覆うように、たとえばBPTEOSよりなる層間絶縁層2が形成される。そして層間絶縁層2に通常の写真製版技術およびエッチング技術により孔2aが開口され、開口された孔2aを埋め込むように層間絶縁層2上にたとえばドープトポリシリコンなどの導電体13が堆積される。

【0021】

図3を参照して、化学機械研磨やエッチングにより層間絶縁層2上の導電体13が除去され、孔2a内にのみ導電層13が残存される。

【0022】

図4を参照して、層間絶縁層2および導電層13上にたとえばBPTEOSよりなる層間絶縁層3が積層され、通常の写真製版技術およびエッティング技術により、層間絶縁層3に導電層13に達する孔3aが形成される。これにより導電層13に達する孔3aを有する層間絶縁層3が導電層13上に形成される。そしてたとえばSi₃N₄よりなる絶縁層3bが孔3aの底面および側面と、層間絶縁層3の上面とに堆積される。

【0023】

図5を参照して、絶縁層3bに異方性エッティングが施され、それにより孔3aの底面および層間絶縁層3上の絶縁層3bが除去され、層間絶縁層3の上面と導電層13の上面が露出され、孔3aの側面の絶縁層3bのみが残存する。そして層間絶縁層3と、孔3aの側面を覆う絶縁層3bと、導電層13との上に、たとえばドープトポリシリコンよりなる導電体が堆積され、化学機械研磨、エッティングなどにより層間絶縁層3の上面が露出するまで導電体が除去される。これにより孔3a内を埋め込む埋込み層21が形成される。

【0024】

図6を参照して、層間絶縁層3および埋込み層21上に、たとえばSi₃N₄よりなる層間絶縁層4およびたとえばBPTEOSよりなる層間絶縁層5が積層される。通常の写真製版技術およびエッティング技術により、これらの層間絶縁層4、5に、孔3aに通じ、かつ孔3aよりも径の大きい孔4a、5aが形成される。これにより、埋込み層21の上面が露出する。

【0025】

図7(a)を参照して、露出した埋込み層21の導電体がエッティングなどにより除去される。ここで、埋込み層21が導電体で形成されている本実施の形態では、埋込み層21の導電体が完全に除去される必要はない。埋込み層21の導電体が完全に除去されず一部残った場合の構成を図7(b)に示す。

【0026】

図8を参照して、孔3a、4a、5aの内壁面および層間絶縁層5上に沿うように、たとえばドープトアモルファスシリコンよりなるストレージノード(キャパシタの一方電極)用の導電層19aが堆積される。導電層19aは導電層13

を介してMOSトランジスタ7のソース／ドレインの他方7bと電気的に接続される。この導電層19aが通常の写真製版技術およびエッティング技術によりパターニングされて、ドープトアモルファスシリコンよりなるストレージノード19aが形成される。孔4aおよび5aは、孔3aよりも径が大きく、孔3aと、孔4a、5aとの境界において孔の径が不連続に変化しているので、ストレージノード19aはその境界部において段差形状となっている。また、ドープトアモルファスシリコンが堆積されれば、粗面化処理を施すことによりストレージノード19aは粗面となる。

【0027】

図1(a)を参照して、その後、ストレージノード19a上にたとえばTa₂O₅よりなるキャパシタ誘電体層19bとたとえばTiNよりなるセルプレート19cとが積層されて、キャパシタ19が形成される。ここで、図7(a)の工程において、図7(b)のように、埋込み層21の導電体が完全に除去されず一部残った場合には、半導体装置は図1(b)のような構成となる。以上の工程により、キャパシタを有する半導体装置が完成する。

【0028】

なお、本実施の形態において、層間絶縁層2～5およびキャパシタ誘電体層19bの各々については、他の材質の絶縁体で構成されてもよい。また、導電層13および埋込み層21の各々は、他の材質の導電体で構成されてもよい。さらに、一方電極19aとしてはドープトアモルファスシリコンが用いられたが、他の材質の導電体でもよい。

【0029】

また、孔4aおよび5aは、孔3aよりも径が大きい場合について示したが、孔4aおよび5aの径と、孔3aの径とが不連続であればよい。

【0030】

本実施の形態のキャパシタを有する半導体装置およびその製造方法においては、埋込み層21が除去され、この部分にもストレージノード19aとセルプレート19cとが形成されている。よって除去された埋込み層21の分だけキャパシタの対向面積が増加する。

【0031】

また、ストレージノード19aとソース／ドレイン領域7bとの間には導電層13が設けられている。このため、ストレージノード19aに膜切れなどが生じても、ストレージノード19aとソース／ドレイン領域7bとの電気的な接続が安定して確保される。

【0032】

さらに、導電層13に達する孔のうち、孔の部分3aと孔の部分4a、5aとは別工程で形成されるので、孔の第1の部分の径と第2の部分の径が不連続に変化するように形成することが可能である。孔の部分3aの径と孔の部分4a、5aの径が不連続に変化するように形成されれば、孔の部分3aと孔の部分4a、5aとの境目に段差ができる。このため、孔の内壁に沿って形成されるストレージノード19aにも段差が生じ、ストレージノード19aとセルプレート19cとの対向面積がその段差の分だけ増加する。また、ストレージノード19aがドープトアモルファスシリコンによって形成されれば、粗面化処理を施すことによってストレージノード19aは粗面化されるので対向面積が増加する。以上のことからキャパシタ容量が増加する。

【0033】

また、本実施の形態におけるキャパシタを有する半導体装置においては、孔3a、4a、5aが形成される絶縁層は単一層の層間絶縁層よりもなっていてもよく、図1などに示したように、たとえば3層の層間絶縁層3～5よりもなっていてもよい。孔3a、4a、5aが形成される絶縁層を層間絶縁層3～5により形成する場合、孔3a、4a、5aの径の小さな部分3aを層間絶縁層3に形成し、径の大きな孔の部分4a、5aを層間絶縁層4、5に形成することが好ましい。

【0034】

これにより、孔の部分3aと孔の部分4a、5aとの境目で容易に段差を作成することが可能である。したがって、容易にキャパシタ容量が増加する。なお、孔の部分4a、5aが形成される層間絶縁層4、5は単一層の層間絶縁層よりもなっており、孔の部分3aが形成される層間絶縁層3と異なる層よりもなっていてもよい。

【0035】

また、孔の部分3 aよりも孔の部分4 a、5 aの径を大きくすることで、孔の上部の開口が大きくなるので、アスペクト比が大きくなり、これによりキャパシタのストレージノード19 aが形成される際の被覆性が良好となる。

【0036】

さらに、本実施の形態におけるキャパシタを有する半導体装置の製造方法において好ましくは、埋込み層は導電体で形成されている。これにより、他のプラグ層などの導電層と同時に埋込み層を形成することが可能となり、製造工程の増加を抑えることができる。

【0037】

本実施の形態におけるキャパシタを有する半導体装置において好ましくは、導電層13とストレージノード19 aとの間に位置して、かつ導電層13とストレージノード19 aとの双方に電気的に接続された埋込み層21をさらに備える。

【0038】

これにより、埋込み層21が除去される工程において、図7 (b) のように埋込み層21が完全に除去されなくとも、その後の工程で形成されるストレージノード19 aと残った埋込み層21とが図1 (b) のように電気的に接続されるので、導電層13とストレージノード19 aとの電気的な接続に影響はない。したがって、埋込み層21のエッチング制御が容易となる。

(実施の形態2)

図9は、本発明の実施の形態2におけるキャパシタを有する半導体装置の構成を概略的に示す断面図である。

【0039】

図9を参照して、本実施の形態の構成は、実施の形態1の構造と比較して以下の点において異なる。すなわち、導電層13が孔3 a、4 a、5 aに通じる凹部13 aを有しており、その凹部13 aの内壁面に沿ってストレージノード19 aが形成されており、その凹部13 a内でストレージノード19 aとセルプレート19 cとが互いに対向している。

【0040】

なお、これ以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0041】

次に本実施の形態の製造方法について説明する。

なお、本実施の形態においては、図9の点線で囲まれた領域30についてのみ製造方法の説明を行なう。

【0042】

本実施の形態の製造方法は、まず図2～図6に示す実施の形態1の製造工程と同様の製造工程を経る。よってその説明を省略する。

【0043】

この後、図6を参照して、導電体よりなる埋込み層21および導電層13がエッティングにより除去される。これにより、図10に示すように導電層13に孔3a、4a、5aに通じるに凹部13aが形成される。本実施の形態において最も注目すべきは、埋込み層21に加え、さらに導電層13までもが除去される点である。

【0044】

ここで、埋込み層21の導電体および導電層13が、たとえばドープトポリシリコンなどの同一の導電体とともに形成されていれば、エッティング時間実施の形態1の場合よりも長くすることで、埋込み層21とともに導電層13とがエッティング可能である。一方エッティング時間が長すぎると、導電層13の下部の導電層が残らず、MOSトランジスタ7のソース／ドレインの他方7bが露出してしまう。そうすると、この上に形成されるストレージノード19a（図9）が断線した場合に、ストレージノード19aとMOSトランジスタ7のソース／ドレインの他方7bとの電気的な接続が確保されず、好ましくない。したがって、導電層13がエッティングされ、かつMOSトランジスタ7のソース／ドレインの他方7bが露出しないエッティング時間が選択される。これにより、導電層13は孔3a、4a、5aに通じる凹部13aを有する。

【0045】

図11を参照して、孔3a、4a、5aの内壁と導電層13の凹部13aの内

壁と層間絶縁層5上とに沿うように、たとえばドープトアモルファスシリコンよりなるストレージノード19aが堆積される。これにより、ストレージノード19aは導電層13の底部を介してMOSトランジスタ7のソース／ドレインの他方7bと電気的に接続される。

【0046】

この際、孔4aおよび5aは、孔3aよりも径が大きく、孔3aと、孔4aおよび5aとの境界において孔の径が不連続に変化しているので、ストレージノード19aは孔3aの上部で段差形状となっている。また、ストレージノード19aとしてドープトアモルファスシリコンを堆積し、粗面化処理を施すことにより、ストレージノード19aは粗面となる。

【0047】

図9を参照して、その後、ストレージノード19a上にたとえばTa₂O₅よりなるキャパシタ誘電体層19bとたとえばTiNよりなるセルプレート19cとが積層されて、キャパシタ19が形成される。以上の工程により、キャパシタを有する半導体装置が完成する。

【0048】

なお、本実施の形態において、層間絶縁層2～5およびキャパシタ誘電体層19bについては、他の材質の絶縁体で構成されてもよい。また、導電層13および埋込み層21の各々は、他の導電体で構成されてもよい。さらに、一方電極19aとしてはドープトアモルファスシリコンが用いられたが、他の材質の導電体でもよい。

【0049】

また、孔4aおよび5aは、孔3aよりも径が大きい場合について示したが、孔4aおよび5aの径と、孔3aの径とが不連続であればよい。

【0050】

本実施の形態におけるキャパシタを有する半導体装置によれば、実施の形態1の効果に加えて、さらに以下の効果を有する。

【0051】

導電層13に凹部13aが形成され、この凹部13a内にもキャパシタのスト

レージノード19aとセルプレート19cとが対向する。したがって、キャパシタの対向面積が凹部13aの分だけさらに増大され、キャパシタ容量が増加する。一方凹部13aの底部には導電層13が残っているので、ストレージノード19aとソース／ドレイン領域7bとの電気的な接続を安定して確保することができる。

（実施の形態3）

図12は本発明の実施の形態3におけるキャパシタを有する半導体装置の構成を概略的に示す断面図である。

【0052】

実施の形態1では、図1に示すように孔の部分3aの側壁は絶縁層3bで覆われているが、本実施の形態においては、図12に示すようにそのような絶縁層3bが設けられていない。

【0053】

なお、これ以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0054】

次に本実施の形態の製造方法について説明する。

なお、本実施の形態においては、図12の点線で囲まれた領域30についてのみ製造方法の説明を行なう。

【0055】

本実施の形態の製造方法は、まず図2、図3に示す実施の形態1の製造工程と同様の製造工程を経る。よってその説明を省略する。

【0056】

その後、図13を参照して、層間絶縁層2および導電層13上にたとえばBPTEOSよりなる層間絶縁層3が積層され、通常の写真製版技術およびエッティング技術により、導電層13に達する孔3aが形成される。これにより導電層13に達する孔3aを有する層間絶縁層3が形成される。本実施の形態において特に注目すべきは、たとえばSi₃N₄よりなる絶縁体が、孔3aを埋めるように層間絶縁層3および導電層13の上に堆積される。そして、化学機械研磨、エッキン

グなどにより層間絶縁層3上の絶縁体が除去される。これにより孔3a内を埋め込む埋込み層21が形成される。

【0057】

図14を参照して、層間絶縁層3および埋込み層21上に、たとえば Si_3N_4 よりなる層間絶縁層4およびたとえばBPTEOSよりなる層間絶縁層5が積層され、通常の写真製版技術およびエッティング技術により、層間絶縁層4を露出するように孔5aが形成される。

【0058】

図15を参照して、通常の写真製版技術およびエッティング技術により、孔5aによって露出した層間絶縁層4に孔4aが開口され、孔3aに埋め込まれた埋込み層21の絶縁体がエッティングなどにより除去される。本実施の形態においては、層間絶縁層4と埋込み層21とがともに絶縁体より構成されているので、一の除去工程で孔4aの開口および埋込み層21の除去がなされる。

【0059】

そして、孔3a、4a、5aの内壁面および層間絶縁層5上に沿うように、たとえばドープトアモルファスシリコンよりなるストレージノード19aが堆積される。これによりストレージノード19aは導電層13を介してMOSトランジスタ7のソース／ドレインの他方7bと電気的に接続される。

【0060】

この際、孔4aおよび5aは、孔3aよりも径が大きく、孔3aと、孔4a、5aとの境界において孔の径が不連続に変化しているので、ストレージノード19aは孔3aの上部で段差形状となっている。また、ストレージノード19aとしてドープトアモルファスシリコンを堆積し、粗面化処理を施すことにより、ストレージノード19aは粗面となる。

【0061】

図12を参照して、その後、ストレージノード19a上にたとえば Ta_2O_5 よりなるキャパシタ誘電体層19bとたとえばTiNよりなるセルプレート19cとが積層されて、キャパシタ19が形成される。以上の工程により、キャパシタを有する半導体装置が完成する。

【0062】

なお、本実施の形態において、埋込み層21、層間絶縁層2～5、キャパシタ誘電体層19bについては、他の材質の絶縁体で構成されてもよい。また、導電層13は、他の材質の導電体で構成されてもよい。さらに、一方電極19aとしてはドープトアモルファスシリコンが用いられたが、他の材質の導電体でもよい。

【0063】

また、孔4aおよび5aは、孔3aよりも径が大きい場合について示したが、孔4aおよび5aの径と、孔3aの径とが不連続であればよい。

【0064】

本発明におけるキャパシタを有する半導体装置の製造方法においては、埋込み層は絶縁層で形成されている。これにより、第2の絶縁層（層間絶縁層4）と第1の孔（孔3a）を埋め込む埋込み層とがともに絶縁体よりなるので、第2の孔（孔4a）を有する第2の絶縁層の形成工程および埋込み層の除去工程が一の除去工程でなされる。

【0065】

以上に開示された実施の形態はすべての点で例示であって制限的なものではないと考慮されるべきである。本発明の範囲は、以上の実施の形態ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての修正や変形を含むものと意図される。

【0066】

【発明の効果】

以上のように、本発明のキャパシタを有する半導体装置においては、従来キャパシタの一方電極の下に形成されていた導電層の一部が除去され、この部分にもキャパシタの一方電極が形成されている。よって除去された導電層の分だけキャパシタの一方電極の対向面積が増加する。また、キャパシタの一方電極と他の構成との電気的な接続は、第1の導電層により確保される。さらに、第1の導電層に達する孔のうち、第1の部分と第2の部分とは別工程で作成されるので、孔の第1の部分の径と第2の部分の径が不連続に変化するように作成可能である。孔

の第1の部分の径と第2の部分の径が不連続に変化するように作成されれば、孔の第1の部分と第2の部分との境目に段差ができる。このため、孔の内壁に沿って形成されるキャパシタの一方電極の対向面積が段差の分だけ増加する。また、キャパシタの一方電極がドープトアモルファスシリコンによって形成されれば、キャパシタの一方電極は粗面化されるので対向面積が増加する。以上のことからキャパシタ容量が増加する。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるキャパシタを有する半導体装置のDRAMメモリセルの構成を概略的に示す断面図である。

【図2】 本発明の実施の形態1におけるキャパシタを有する半導体装置のキャパシタの製造方法の第1工程を示す概略断面図である。

【図3】 本発明の実施の形態1におけるキャパシタを有する半導体装置のキャパシタの製造方法の第2工程を示す概略断面図である。

【図4】 本発明の実施の形態1におけるキャパシタを有する半導体装置のキャパシタの製造方法の第3工程を示す概略断面図である。

【図5】 本発明の実施の形態1におけるキャパシタを有する半導体装置のキャパシタの製造方法の第4工程を示す概略断面図である。

【図6】 本発明の実施の形態1におけるキャパシタを有する半導体装置のキャパシタの製造方法の第5工程を示す概略断面図である。

【図7】 本発明の実施の形態1におけるキャパシタを有する半導体装置のキャパシタの製造方法の第6工程を示す概略断面図である。

【図8】 本発明の実施の形態1におけるキャパシタを有する半導体装置のキャパシタの製造方法の第7工程を示す概略断面図である。

【図9】 本発明の実施の形態2におけるキャパシタを有する半導体装置のDRAMメモリセルの構成を概略的に示す断面図である。

【図10】 本発明の実施の形態2におけるキャパシタを有する半導体装置のキャパシタの製造方法の第6工程を示す概略断面図である。

【図11】 本発明の実施の形態2におけるキャパシタを有する半導体装置のキャパシタの製造方法の第7工程を示す概略断面図である。

【図12】 本発明の実施の形態3におけるキャパシタを有する半導体装置のDRAMメモリセルの構成を概略的に示す断面図である。

【図13】 本発明の実施の形態3におけるキャパシタを有する半導体装置のキャパシタの製造方法の第3工程を示す概略断面図である。

【図14】 本発明の実施の形態3におけるキャパシタを有する半導体装置のキャパシタの製造方法の第4工程を示す概略断面図である。

【図15】 本発明の実施の形態3におけるキャパシタを有する半導体装置のキャパシタの製造方法の第5工程を示す概略断面図である。

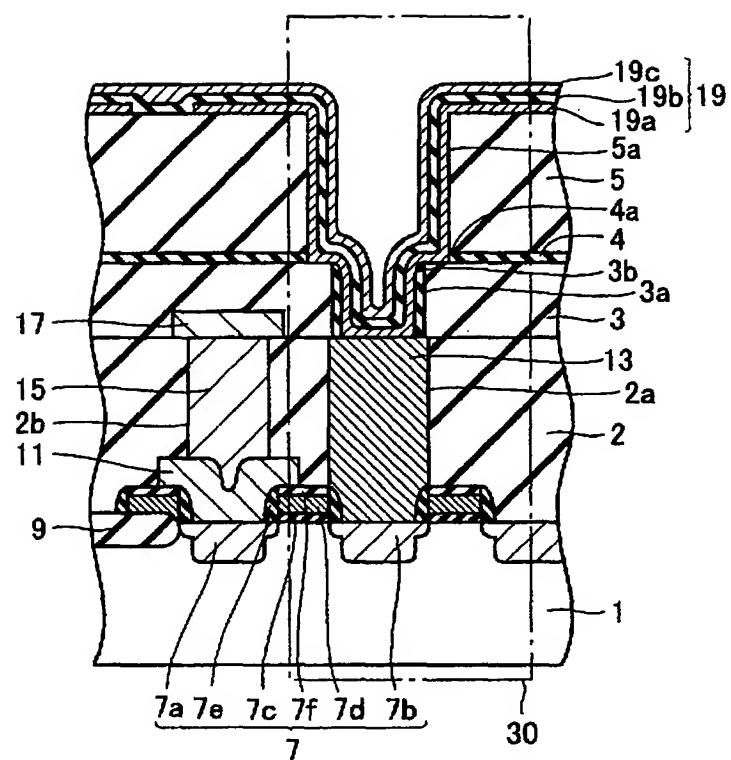
【符号の説明】

1 シリコン基板、2～5 層間絶縁層、2a, 2b, 3a, 4a, 5a 孔、3b, 7e, 7f 絶縁層、7 MOSトランジスタ、7a, 7b ソース／ドレイン領域、7c ゲート絶縁層、7d ゲート電極層、9 フィールド酸化膜、11 パッド層、13, 15 導電層、13a 凹部、17 ビット線、19 キャパシタ、19a ストレージノード、19b キャパシタ誘電体層、19c セルプレート、21 埋込み層、30 キャパシタ周辺領域。

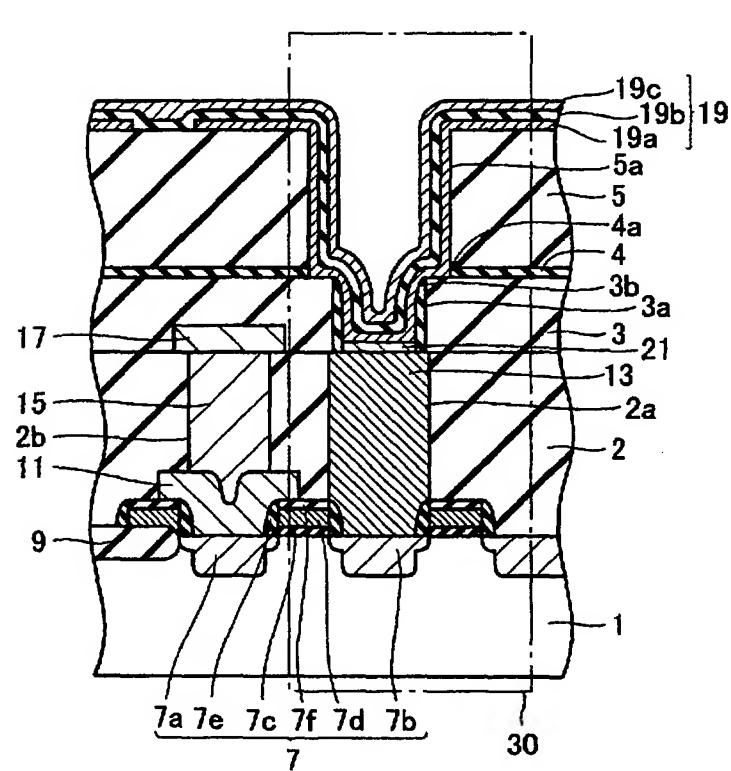
【書類名】 図面

【図1】

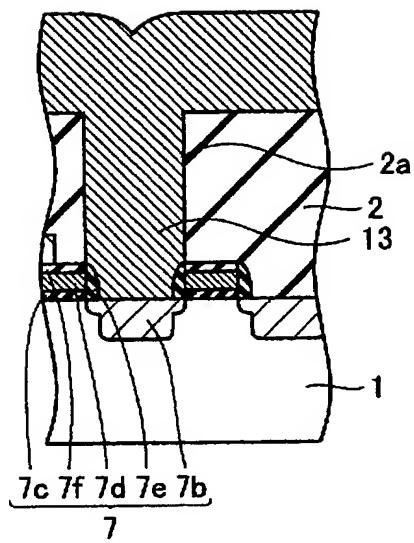
(a)



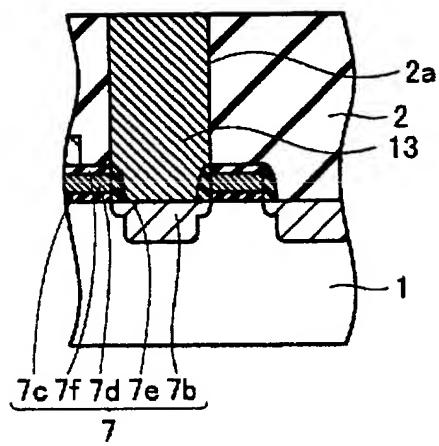
(b)



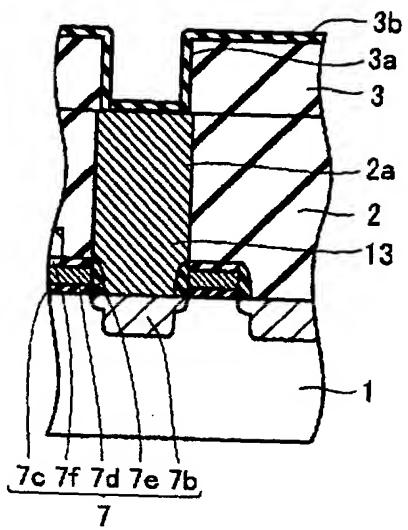
【図2】



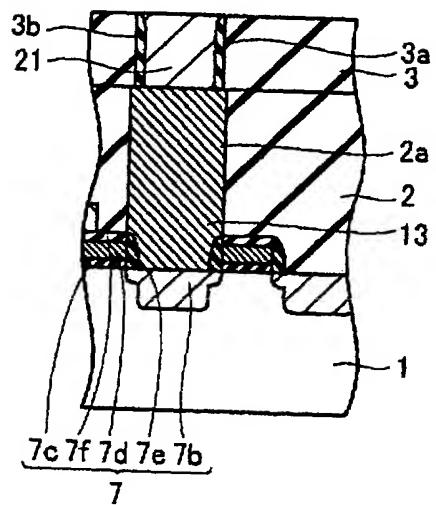
【図3】



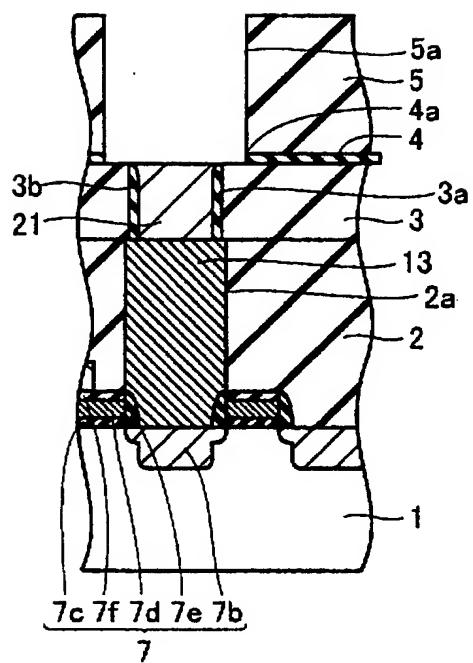
【図4】



【図5】

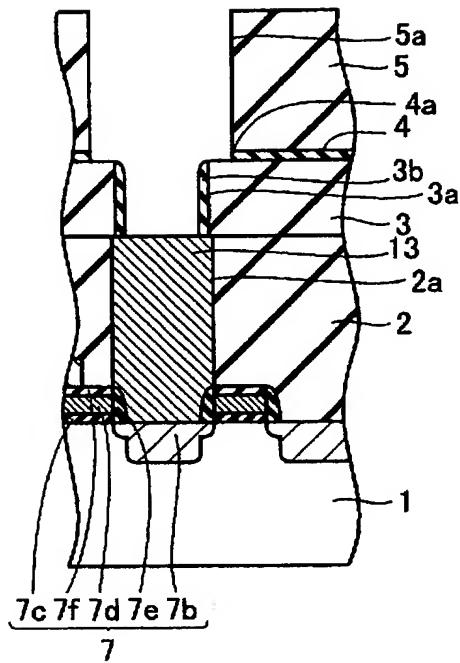


【図6】

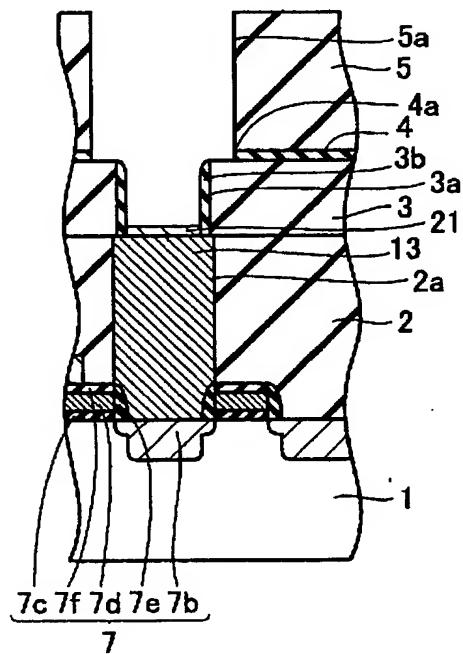


【図7】

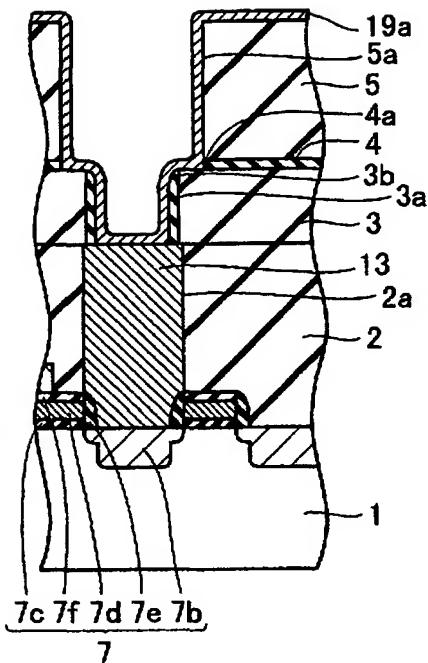
(a)



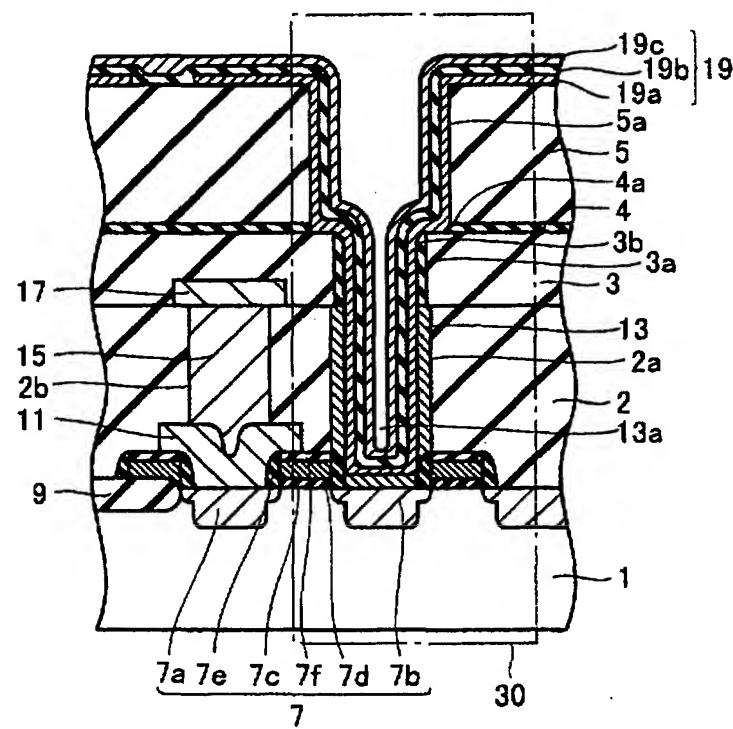
(b)



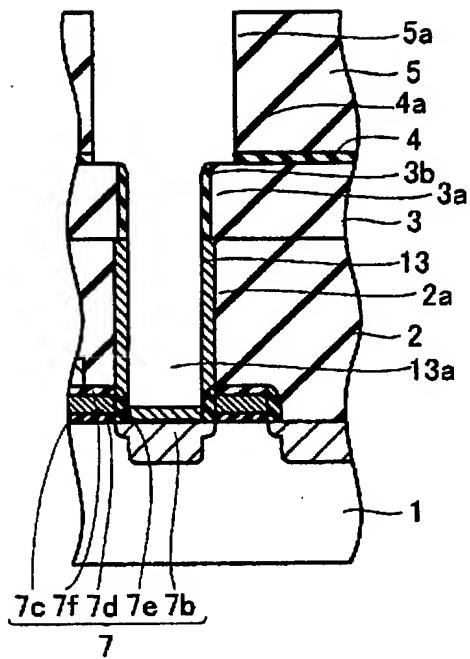
【図8】



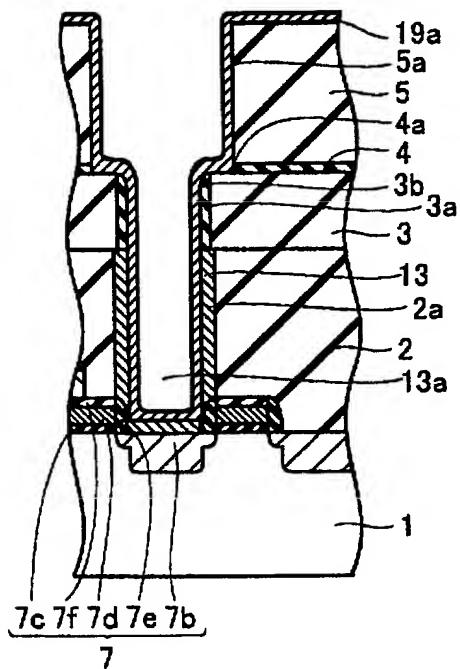
【図9】



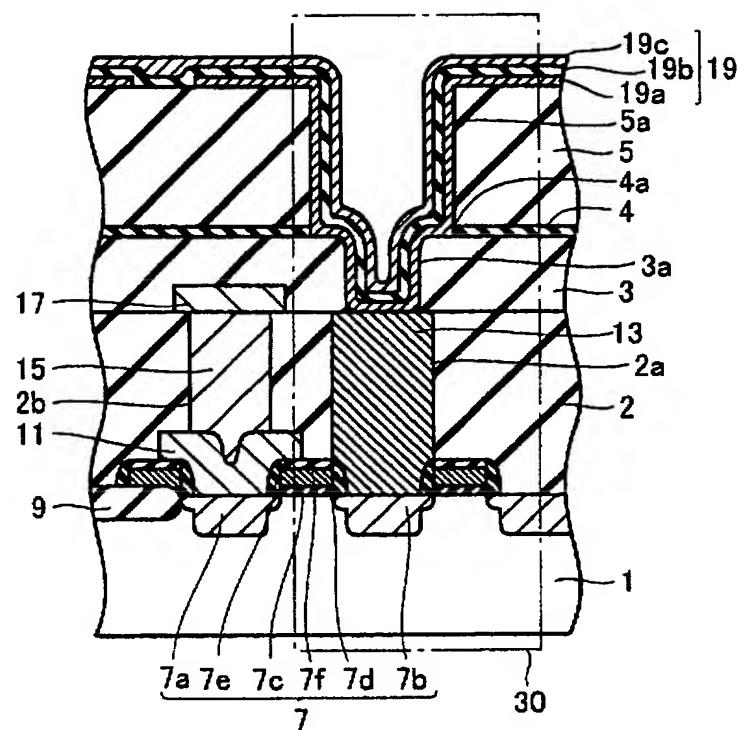
【図10】



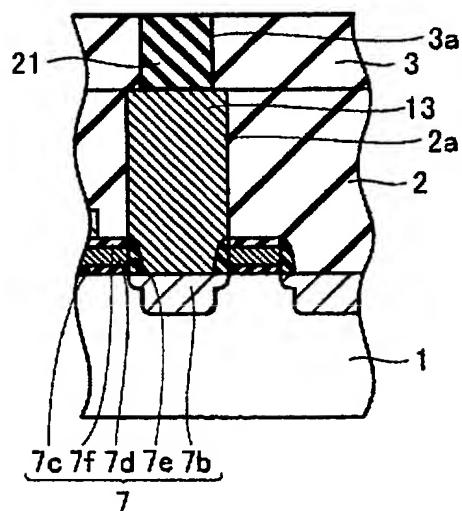
【図11】



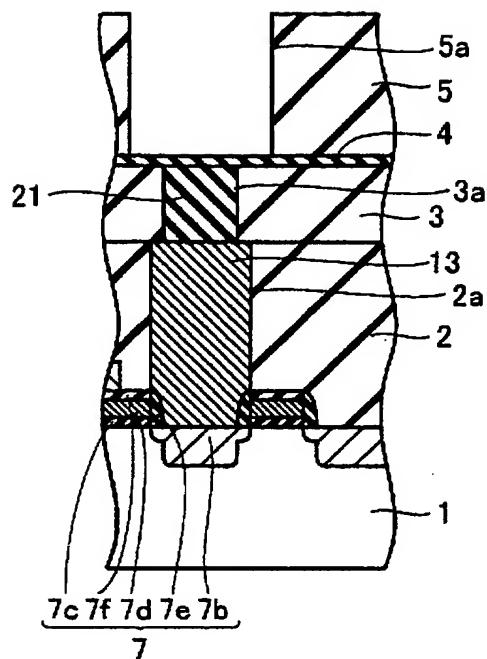
【図12】



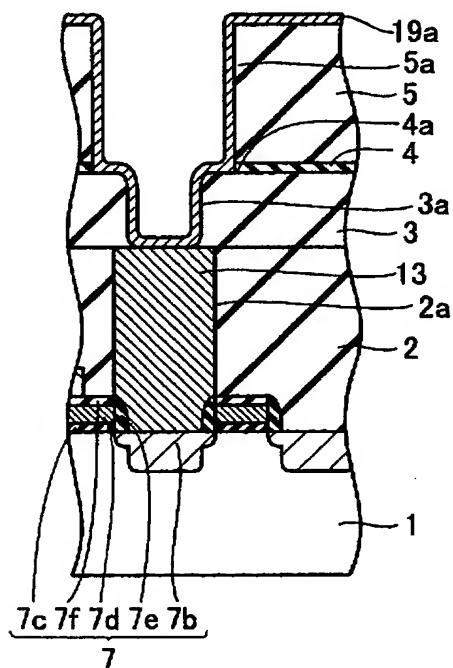
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 キャパシタを有する半導体装置に関し、キャパシタ下部電極の電気的な接続を安定して確保しつつ、キャパシタ容量を増加させる。

【解決手段】 本発明のキャパシタを有する半導体装置は、キャパシタ誘電体層19bにより互いに絶縁された1対の電極であるストレージノード19aとセルプレート19cとを含むキャパシタ19を有していて、第1コンタクト13と、第1コンタクト13上に形成され、第1コンタクト13に達する孔3a、4a、5aを有する層間絶縁層3～5とを備えている。孔3aと孔4a、5aとは互いに径が異なり、孔3aと孔4a、5aとの境界において径が不連続に変化している。さらに、ストレージノード19aは、孔3a、4a、5aの内壁面に沿って形成され、かつ第1コンタクト13に電気的に接続されている。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住所 東京都千代田区丸の内2丁目2番3号
氏名 三菱電機株式会社